

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-016441

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

G06T 5/20
H04N 1/409

(21)Application number : 2001-203336

(71)Applicant : SONY CORP

(22)Date of filing : 04.07.2001

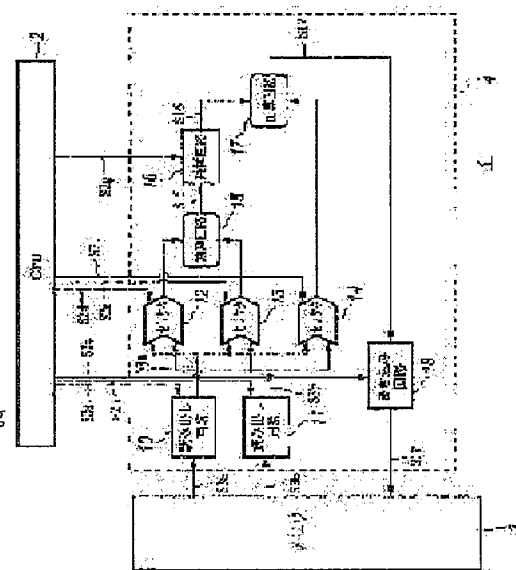
(72)Inventor : TAJIMA HIROSHI
HIRANO TETSUYA

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor which can flexibly vary the image effect processing such as an edge emphasizing and blurring.

SOLUTION: A CPU 2 generates control signals S2a to S2g corresponding to the execution of program by the CPU2 to control an image control circuit 4. In the image control circuit 4, readout circuit 10 and 11 reads image data out by using a texture function and image data generated through difference calculation processing by a subtracting circuit 15, multiplication by a coefficient α through a multiplying circuit 16, and addition processing by an adding circuit 17 are written to a memory 3 through a writing circuit 18. The image processing circuit 4 performs processing regarding image effect such as an α -blending processing, an edge-emphasizing processing, and a blurring processing according to the control signal from the CPU 2.



LEGAL STATUS

[Date of request for examination]

21.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

abandonment

[Date of final disposal for application]

25.10.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-16441

(P2003-16441A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.

識別記号

F I

テーマコード* (参考)

G 0 6 T 5/20

G 0 6 T 5/20

A 5 B 0 5 7

H 0 4 N 1/409

H 0 4 N 1/40

1 0 1 D 5 C 0 7 7

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2001-203336(P2001-203336)

(22) 出願日 平成13年7月4日(2001.7.4)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田島 博

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 平野 哲也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

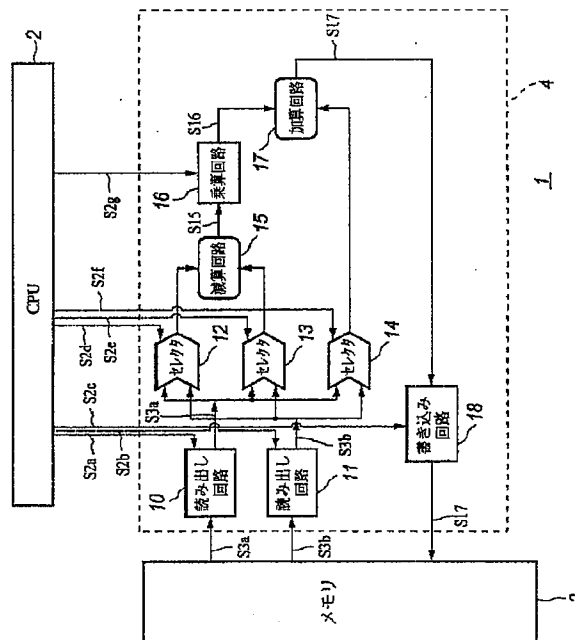
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 エッジ強調やぼかしなどの画像効果処理を柔軟に変更できる画像処理装置を提供する。

【解決手段】 CPU 2によるプログラムの実行に応じて、CPU 2が制御信号S2a~S2gを生成し、画像処理回路4を制御する。画像処理回路4では、読み出し回路10、11がメモリ3からテクスチャ機能を用いて画像データを読み出し、減算回路15における差分算出処理、乗算回路16における係数 α の乗算処理、並びに加算回路17による加算処理を経て生成した画像データを、書き込み回路18介してメモリ3に書き込む。画像処理回路4は、CPU 2からの制御信号に基づいて、 α ブレンディング処理、エッジ強調処理およびぼかし処理などの画像効果に係わる処理を行う。



【特許請求の範囲】

【請求項1】画像データを記憶する記憶回路と、
前記記憶回路から少なくとも第1の画像データ、第2の
画像データおよび第3の画像データを読み出す読み出し
回路と、
前記読み出した第1の画像データと第2の画像データと
の差分を示す第4の画像データを生成する第1の演算回
路と、
前記第4の画像データに所定の係数を乗算して第5の画
像データを生成する第2の演算回路と、
前記第3の画像データと前記第5の画像データとを加算
して第6の画像データを生成する第3の演算回路と、
前記第6の画像データを前記記憶回路に書き込む書き込
み回路と、
所定のプログラムを実行し、当該プログラムの実行に応
じて、前記読み出し回路、前記第1の演算回路、前記第
2の演算回路、前記第3の演算回路および前記書き込み
回路を制御する制御回路とを有する画像処理装置。
【請求項2】前記第1の読み出し回路から読み出された
前記第1の画像データ、前記第2の画像データおよび前
記第3の画像データを、前記第1の演算回路および前記
第3の演算回路のうち前記制御回路によって指定された
演算回路に出力する選択回路を有する請求項1に記載の
画像処理装置。
【請求項3】前記読み出し回路は、前記制御回路によっ
て指定された所定の座標データに基づいて、前記第1の
画像データ、前記第2の画像データおよび前記第3の画
像データを前記記憶回路から読み出す請求項1に記載の
画像処理装置。
【請求項4】前記読み出し回路は、前記記憶回路に記憶
されている所定の画像データを、前記座標データを基
に、予め決められた読み出し位置から前記第1の画像デ
ータおよび前記第3の画像データとして読み出し、前記
第1の画像データおよび前記第3の画像データに応じた
画像を所定の方向に1画素ずらした画像に対応する前記
第2の画像データとして読み出し、
前記第1の演算回路は、前記読み出した第1の画像デー
タと前記第2の画像データとの差分を算出し、
前記第2の演算回路は、前記差分の結果に、エッジ強調
の度合いに応じた値を乗算し、
前記第3の演算回路は、前記乗算の結果と前記第3の画
像データとを加算してエッジ強調された画像データを生
成する請求項3に記載の画像処理装置。
【請求項5】前記読み出し回路は、前記記憶回路に記憶
されている画像データを、前記座標データを基に、読み
出し位置を画素単位でずらして、複数回読み出し、
前記第1の演算回路、前記第2の演算回路および前記第
3の演算回路による演算を組み合わせ、前記複数回の
読み出しによって得られた複数の画像データを平均化し
て、前記記憶回路に記憶されている画像データに対応す

る画像をぼかした画像の画像データを生成する請求項1
に記載の画像処理装置。

【請求項6】前記読み出し回路は、前記記憶回路に記憶
されている画像データを、所定の読み出し位置から読み
出し、前記所定の読み出し位置から1画素右にずらした
読み出し位置から読み出し、前記所定の読み出し位置か
ら1画素下にずらした読み出し位置から読み出し、前記
所定の読み出し位置からそれぞれ1画素右および下にず
らした読み出し位置から読み出し、

10 前記第1の演算回路、前記第2の演算回路および前記第
3の演算回路による演算によって、4つの前記読み出し
位置から読み出した4つの画像データを平均化して、前
記所定の読み出し位置から読み出した画像データに対応
する画像をぼかした画像の画像データを生成する請求項
5に記載の画像処理装置。

【請求項7】前記第1の演算回路、前記第2の演算回路
および前記第3の演算回路による演算を組み合わせ、
前記複数の画像データにそれぞれ所定の重み付けを行っ
て演算を行い、前記記憶回路に記憶されている画像デー
タに対応する画像をぼかした画像の画像データを生成す
る請求項1に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、 α ブレンディング
処理、エッジ強調処理およびぼかし処理などの画像処理
を柔軟に変更して行うことができる画像処理装置に関す
る。

【0002】

【従来の技術】C A D (Computer Aided Design) システ
ムやアミューズメント装置などには、コンピュータグラ
フィック処理を行うレンダリング回路が内蔵されてい
る。このようなレンダリング回路では、専用のハードウ
ェアを用いて、表示画像のエッジ強調やぼかしなどの画
像処理を行っている。

【0003】

【発明が解決しようとする課題】しかしながら、上述し
たレンダリング回路では、専用のハードウェアを用いて
エッジ強調やぼかしなどの画像処理を行っているため、
エッジ強調やぼかしなどの効果を柔軟に変更することが
できないという問題がある。

40 【0004】本発明は上述した従来技術の問題点を鑑み
てなされ、エッジ強調やぼかしなどの画像効果処理を柔
軟に変更できる画像処理装置を提供することを目的とす
る。

【0005】

【課題を解決するための手段】上述した従来技術の問題
点を解決し、上述した目的を達成するために、本発明の
画像処理装置は、画像データを記憶する記憶回路と、前
記記憶回路から少なくとも第1の画像データ、第2の画
像データおよび第3の画像データを読み出す読み出し回

路と、前記読み出した第1の画像データと第2の画像データとの差分を示す第4の画像データを生成する第1の演算回路と、前記第4の画像データに所定の係数を乗算して第5の画像データを生成する第2の演算回路と、前記第3の画像データと前記第5の画像データとを加算して第6の画像データを生成する第3の演算回路と、前記第6の画像データを前記記憶回路に書き込む書き込み回路と、所定のプログラムを実行し、当該プログラムの実行に応じて、前記読み出し回路、前記第1の演算回路、前記第2の演算回路、前記第3の演算回路および前記書き込み回路を制御する制御回路とを有する。

【0006】本発明の画像処理装置の作用は以下のようになる。制御回路が、プログラムを実行し、当該プログラムの実行に応じて以下の処理が制御される。先ず、読み出し回路が、第1の画像データおよび第2の画像データを記憶回路から読み出す。そして、第1の演算回路において、前記読み出した第1の画像データと第2の画像データとの差分を示す第4の画像データが生成される。そして、第2の演算回路において、前記第4の画像データに所定の係数を乗算して第5の画像データが生成される。また、当該第2の演算回路の処理と並行して、前記読み出し回路が、第3の画像データを前記記憶回路から読み出す。そして、第3の演算回路において、前記第5の画像データと前記第3の画像データとを加算して第6の画像データが生成される。そして、書き込み回路によって、前記第5の画像データが前記記憶回路に書き込まれる。

【0007】また、本発明の画像処理装置は、好ましくは、前記第1の読み出し回路から読み出された前記第1の画像データ、前記第2の画像データおよび前記第3の画像データを、前記第1の演算回路および前記第3の演算回路のうち前記制御回路によって指定された演算回路に出力する選択回路を有する。

【0008】また、本発明の画像処理装置は、好ましくは、前記読み出し回路は、前記制御回路によって指定された所定の座標データに基づいて、前記第1の画像データ、前記第2の画像データおよび前記第3の画像データを前記記憶回路から読み出す。

【0009】また、本発明の画像処理装置は、好ましくは、前記読み出し回路は、前記記憶回路に記憶されている所定の画像データを、前記座標データを基に、予め決められた読み出し位置から前記第1の画像データおよび前記第3の画像データとして読み出し、前記第1の画像データおよび前記第3の画像データに応じた画像を所定の方向に1画素ずらした画像に対応する前記第2の画像データとして読み出し、前記第1の演算回路は、前記読み出した第1の画像データと前記第2の画像データとの差分を算出し、前記第2の演算回路は、前記差分の結果に、エッジ強調の度合いに応じた値を乗算し、前記第3の演算回路は、前記乗算の結果と前記第3の画像データ

とを加算してエッジ強調された画像データを生成する。

【0010】また、本発明の画像処理装置は、好ましくは、前記読み出し回路は、前記記憶回路に記憶されている画像データを、前記座標データを基に、読み出し位置を画素単位でずらして、複数回読み出し、前記第1の演算回路、前記第2の演算回路および前記第3の演算回路による演算の演算を組み合わせ、前記複数回の読み出しによって得られた複数の画像データを平均化して、前記記憶回路に記憶されている画像データに対応する画像をばかした画像の画像データを生成する。

【0011】また、本発明の画像処理装置は、好ましくは、前記読み出し回路は、前記記憶回路に記憶されている画像データを、所定の読み出し位置から読み出し、前記所定の読み出し位置から1画素右にずらした読み出し位置から読み出し、前記所定の読み出し位置から1画素下にずらした読み出し位置から読み出し、前記所定の読み出し位置からそれぞれ1画素右および下にずらした読み出し位置から読み出し、前記第1の演算回路、前記第2の演算回路および前記第3の演算回路による演算によって、4つの前記読み出し位置から読み出した4つの画像データを平均化して、前記所定の読み出し位置から読み出した画像データに対応する画像をばかした画像の画像データを生成する。

【0012】また、本発明の画像処理装置は、好ましくは、前記第1の演算回路、前記第2の演算回路および前記第3の演算回路による演算を組み合わせ、前記複数の画像データにそれぞれ所定の重み付けてを行って演算を行い、前記記憶回路に記憶されている画像データに対応する画像をばかした画像の画像データを生成する。

【0013】

【発明の実施の形態】以下、本発明の実施形態に係わる画像処理装置について説明する。図1は、本実施形態の画像処理装置1の構成図である。図1に示すように、画像処理装置1は、CPU2、メモリ3および画像処理回路4を有する。画像処理装置1が本発明の画像処理装置に対応し、CPU2が本発明の制御回路に対応し、メモリ3が本発明の記憶回路に対応している。

【0014】〔CPU2〕CPU2は、画像処理回路4の読み出し回路10、読み出し回路11、書き込み回路18、セクタ12、セクタ13、セクタ14および乗算回路16に出力する後述する制御信号S2a、S2b、S2c、S2d、S2e、S2f、S2gを生成する。CPU2による、所定のプログラムを実行し、当該プログラムの実行に応じて、上述した制御信号を生成する。

【0015】メモリ3は、画像処理回路4の処理に用いられる種々の画像データ（例えばテクスチャデータ）を、座標データ（u、v）を用いて、読み出し位置を画素単位で特定して読み出せるように記憶している。

【0016】〔画像処理回路4〕画像処理回路4は、図

10

20

30

40

50

1に示すように、例えば、読み出し回路10、11、セクタ12、13、14、減算回路15、乗算回路16、加算回路17および書き込み回路18を有する。ここで、読み出し回路10、11が本発明の第1の演算回路に対応し、セクタ12、13、14が本発明の選択回路に対応し、減算回路15が本発明の第1の演算回路に対応し、乗算回路16が本発明の第2の演算回路に対応し、加算回路17が本発明の第3の演算回路に対応している。

【0017】読み出し回路10は、CPU2からの制御信号S2aに基づいて、メモリ3から画像データを読み出す場合には、当該制御信号S2aによって指定された画像の座標データ(u, v)を用いて画素データを単位としてメモリ3から画像データS3a(本発明の第1の画像データおよび第3の画像データ)を読み出す。また、読み出し回路10は、CPU2からの制御信号S2aによって指定されたメモリ3内のアドレスから画像データS3aを読み出す。読み出し回路10は、メモリ3から読み出した画像データS3aをセクタ12、13、14の第1の入力端子に出力する。

【0018】読み出し回路11は、CPU2からの制御信号S2bに基づいて、メモリ3から画像データを読み出す場合には、当該制御信号S2bによって指定された画像の座標データ(u, v)を用いて画素データを単位としてメモリ3から画像データS3b(本発明の第2の画像データおよび第3の画像データ)を読み出す。また、読み出し回路11は、CPU2からの制御信号S2bによって指定されたメモリ3内のアドレスから画像データS3bを読み出す。読み出し回路11は、メモリ3から読み出した画像データS3bをセクタ12、13、14の第2の入力端子に出力する。

【0019】セクタ12は、CPU2からの制御信号S2dを基に、第1の入力端子から入力した画像データS3aと、第2の入力端子から入力した画像データS3bとのうち一方を選択して減算回路15に出力する。

【0020】セクタ13は、CPU2からの制御信号S2eを基に、第1の入力端子から入力した画像データS3aと、第2の入力端子から入力した画像データS3bとのうち一方を選択して減算回路15に出力する。

【0021】セクタ14は、CPU2からの制御信号S2fを基に、第1の入力端子から入力した画像データS3aと、第2の入力端子から入力した画像データS3bとのうち一方を選択して加算回路17に出力する。

【0022】減算回路15は、セクタ12から入力した画像データから、セクタ13から入力した画像データを減算して画像データS15(本発明の第4の画像データ)を生成し、これを乗算回路16に出力する。減算回路15による減算は、例えば、画像データを構成する画素データのそれぞれについて、当該画素データが示すR, G, Bの値(画素値)を用いて行われる。

【0023】乗算回路16は、減算回路15から入力した画像データS15に、CPU2から入力した制御信号S2gが示す係数を乗算して画像データS16(本発明の第5の画像データ)を生成し、これを加算回路17に出力する。乗算回路16による乗算は、例えば、画像データS15を構成する画素データのそれぞれについて、制御信号S2gが示す係数を乗算して行われる。

【0024】加算回路17は、乗算回路16からの画像データS16と、セクタ14から入力した画像データとを加算して画像データS17(本発明の第6の画像データ)を生成し、これを書き込み回路18に出力する。加算回路17による加算は、例えば、画像データを構成する画素データのそれぞれについて、当該画素データが示すR, G, Bの値を用いて行われる。

【0025】書き込み回路18は、CPU2からの制御信号S2cによって指定されたメモリ3内のアドレスに、加算回路17から入力した画像データS17を書き込む。

【0026】以下、図1に示す画像処理装置1の動作例を説明する。

〔第1の動作例〕以下、画像処理装置1を用いて α ブレンディング処理を行う場合の動作例を説明する。ここでは、画像IM_1と画像IM_2とを係数 α で α ブレンディング処理を行う場合を図2を参照して例示して説明する。この場合には、図1に示す読み出し回路10がメモリ3から図2に示す画像IM_1の画像データS3aを読み出し、セクタ12が画像データS3aを選択して減算回路15に出力する。それと並行して、図1に示す読み出し回路11がメモリ3から図2に示す画像IM_2の画像データS3bを読み出し、セクタ13が画像データS3bを選択して減算回路15に出力する。

【0027】そして、減算回路15において、画像データS3aからS3bが減算され、すなわち画像IM_1から画像IM_2が差し引かれ、その結果である画像データS15が乗算回路16に出力される。そして、乗算回路16において、画像データS15に、制御信号S2gで指定された係数 α が乗算され、その結果である画像データS16が加算回路17に出力される。また、乗算回路16の処理と並行して、図1に示す読み出し回路11がメモリ3から図2に示す画像IM_2の画像データS3bを読み出し、セクタ14が画像データS3bを選択して加算回路17に出力する。

【0028】そして、加算回路17において、乗算回路16からの画像データS16と、セクタ14からの画像データS3bとが加算され、画像IM_1と画像IM_2とが混合された画像IM_3の画像データS17が生成され、これが書き込み回路18に出力される。そして、書き込み回路18が、画像データS17をメモリ3に書き込む。

【0029】上述した画像処理装置1の α ブレンディン

グ処理は、下記式(1)で示され、下記式(1)を変形すると下記式(2)のように一般的な α ブレンディングの式となる。

*【0030】
【数1】

$$(\text{画像IM}_1 - \text{画像IM}_2) \times \alpha + \text{画像IM}_2 \quad \dots (1)$$

【0031】 ※ ※【数2】

$$\alpha \times \text{IM}_1 + (1 - \alpha) \times \text{IM}_2 \quad \dots (2)$$

【0032】上述した図2は、ハートの画像IM₁と矢印の画像IM₂とを α ブレンド処理した場合を例示したが、文字「B」の画像IM₁と、文字「A」の画像IM₂とを用いた場合には、図3に示すようなイメージとなる。

【0033】〔第2の動作例〕以下、画像処理装置1を用いてエッジ強調処理を行う場合の動作例を説明する。この場合には、図1に示す読み出し回路10がメモリ3から図4に示す文字「A」の画像IM₁₂の画像データS3aを読み出し、セクタ12が画像データS3aを選択して減算回路15に出力する。それと並行して、図1に示す読み出し回路11がメモリ3から図4に示す文字「A」の画像IM₁₂を右方向に1画素ずらした画像IM_{12a}の画像データS3bを読み出し、セクタ13が画像データS3bを選択して減算回路15に出力する。このとき、読み出し回路11による画像IM_{12a}の画像データS3bの読み出しは、CPU2からの制御信号S2bを基に、メモリ3に記憶されている文字「A」のテクスチャ画像の座標データ(u, v)を用いて行われる。すなわち、読み出し回路11は、テクスチャマッピング機能を利用して、画像IM₁₂を右方向に1画素ずらした画像IM_{12a}をメモリ3から読み出す。

【0034】そして、減算回路15において、画像データS3aからS3bが減算され、すなわち画像IM₁₂から画像IM_{12a}が差し引かれ、その結果である画像データS15が乗算回路16に出力される。そして、乗算回路16において、画像データS15に、制御信号S2gで指定された係数 α ($=1/2$)が乗算され、その結果である画像データS16が加算回路17に出力される。係数 α は、エッジ強調の度合いに応じて決定される。また、乗算回路16の処理と並行して、図1に示す読み出し回路11がメモリ3から画像IM₁₂の画像データS3aを読み出し、セクタ14が画像データS3bを選択して加算回路17に出力する。

【0035】そして、加算回路17において、乗算回路16からの画像データS16と、セクタ14からの画像データS3aとが加算され、画像データS17が生成され、これが書き込み回路18に出力される。そして、★

★書き込み回路18が、画像データS17をメモリ3に書き込む。

【0036】以下、図4を用いて説明した画像処理装置1によれるエッジ強調の作用および効果を説明する。図4に示す画像IM₁₂を、図5に示すように、ライン50上の画素データの画素値(R, G, Bの値)を見ると、その画素値のレベルは、例えば、図6(A)に示すようになる。また、画像IM₁₂を右方向に1画素ずらした画像IM_{12a}のライン50上での画素データの画素値は、図6(B)に示すようになる。

【0037】また、図6(A)に示す画像IM₁₂の画素値から、図6(B)に示す画像IM_{12a}の画素値を減算した画像データS15のライン50上の画素値は、図6(C)のようになる。また、図6(C)の画素値に α を乗算した結果である、画像データS16のライン50上での画素値は、図6(D)のようになる。そして、図6(D)の画素値に、図6(A)の画素値を加算した結果である画像データS17のライン50上での画素値は、図6(E)のようになる。図6(E)に示すように、図4に示す画像IM₁₃は、エッジ強調された画像になることが分かる。

【0038】〔第3の動作例〕以下、画像をぼかしたい時や、画像縮小時の折り返し成分によるギラギラ感の軽減、拡大時のモザイク感の軽減に用いられるフィルタ処理を行う場合の画像処理装置1の動作例を説明する。

【0039】例えば、図7に示すように、隣接する4つの画素(ピクセル)P, P_a, P_b, P_cの画素値を平均化してぼかした画像を生成するフィルタ処理を行う場合を例示する。この場合に、図4を用いて説明した文字「A」の画像IM₁₂について上記フィルタ処理を行う場合を考えると、画像IM₁₂を右方向に1画素ずらした画像を画像IM_{12b}とし、画像IM₁₂を右方向に1画素ずらしかつ下方向に1画素ずらした画像を画像IM_{12b}とし、画像IM₁₂を下方向に1画素ずらした画像を画像IM_{12c}とすると、画像処理装置1は、これらの画像を下記式(3)に基づいてフィルタ処理する。

【0040】
【数3】

$$\begin{aligned} & \text{画像IM}_{12} \times 1/4 + \text{画像IM}_{12a} \times 1/4 + \text{画像IM}_{12b} \times 1/4 + \text{画像IM}_{12c} \times 1/4 \\ & = \text{画像IM}_{12c} \times 1/4 + (1 - 1/4) \times [\text{画像IM}_{12b} \times 1/3 + (1 - 1/3) \times \{\text{画像IM}_{12a} \times 1/2 + (1 - 1/2) \times \text{画像IM}_{12}\}] \end{aligned} \quad \dots (3)$$

【0041】画像処理装置1は、上記式(3)に相当する演算を、図8～図10に示すように行う。図8は、画像処理装置1が、上記式(3)内の「画像IM_12a×1/2+(1-1/2)×画像IM_12」に相当する演算を行う場合の動作例を説明するための図である。図9は、画像処理装置1が、図8を用いて演算した「画像IM_12a×1/2+(1-1/2)×画像IM_12」の演算結果を用いて、上記式(3)内の画像「IM_12b×1/3+(1-1/3)×{画像IM_12a×1/2+(1-1/2)×画像IM_12}」に相当する演算を行う場合の動作例を説明するための図である。図10は、画像処理装置1が、図9を用いて演算した「IM_12b×1/3+(1-1/3)×{画像IM_12a×1/2+(1-1/2)×画像IM_12}」の演算結果を用いて、上記式(3)に相当する演算を行う場合の動作例を説明するための図である。

【0042】以下、図8～図9に示す演算を行う場合の画像処理装置1の動作例を順に説明する。まず、画像処理装置1は、図8に示すように、図1に示す読み出し回路10が、メモリ3から文字「A」の画像IM_12を右方向に1画素ずらした画像IM_12aの画像データS3aを読み出し、セクタ12が画像データS3aを選択して減算回路15に出力する。このとき、読み出し回路10による画像IM_12aの画像データS3aの読み出しは、CPU2からの制御信号S2aを基に、メモリ3に記憶されている文字「A」の画像(例えばテキスト画像)の座標データ(u, v)を用いて行われる。すなわち、読み出し回路11は、テキストチャマッピング機能を利用して、画像IM_12を右方向に1画素ずらした画像IM_12aをメモリ3から読み出す。それと並行して、図1に示す読み出し回路11が、メモリ3から文字「A」の画像IM_12の画像データS3bを読み出し、セクタ13が画像データS3bを選択して減算回路15に出力する。

【0043】そして、減算回路15において、画像データS3aからS3bが減算され、すなわち画像IM_12aから画像IM_12が差し引かれ、その結果である画像データS15が乗算回路16に出力される。そして、乗算回路16において、画像データS15に、制御信号S2gで指定された係数 α (=1/2)が乗算され、その結果である画像データS16が加算回路17に出力される。また、乗算回路16の処理と並行して、図1に示す読み出し回路11がメモリ3から図4に示す画像IM_12の画像データS3bを読み出し、セクタ14が画像データS3bを選択して加算回路17に出力する。

【0044】そして、加算回路17において、乗算回路16からの画像データS16と、セクタ14からの画像データS3bとが加算され、上記式(3)の「画像IM_12a×1/2+(1-1/2)×画像IM_12」の演算結果に相当する画像IM_31の画像データS17が生成され、これが書き込み回路18に出力される。そして、書き込み回路18が、制御信号S2gによって指定されたメモリ3内のアドレスに画像データS17を書き込む。

【0045】次に、画像処理装置1は、図9に示すように、図1に示す読み出し回路10が、メモリ3から文字「A」の画像IM_12を右方向および下方向にそれぞれ1画素ずらした画像IM_12bの画像データS3aを読み出し、セクタ12が画像データS3aを選択して減算回路15に出力する。このとき、読み出し回路10による画像IM_12bの画像データS3aの読み出しは、CPU2からの制御信号S2aを基に、メモリ3に記憶されている文字「A」の画像の座標データ(u, v)を用いて行われる。すなわち、読み出し回路11は、テキストチャマッピング機能を利用して、画像IM_12を右方向および下方向にそれぞれ1画素ずらした画像IM_12bをメモリ3から読み出す。

【0046】それと並行して、図1に示す読み出し回路11が、メモリ3から、図8を用いて説明した画像IM_31の画像データS3bを読み出し、セクタ13が画像データS3bを選択して減算回路15に出力する。

【0047】そして、減算回路15において、画像データS3aからS3bが減算され、すなわち画像IM_12bから画像IM_31が差し引かれ、その結果である画像データS15が乗算回路16に出力される。そして、乗算回路16において、画像データS15に、制御信号S2gで指定された係数 α (=1/3)が乗算され、その結果である画像データS16が加算回路17に出力される。また、乗算回路16の処理と並行して、図1に示す読み出し回路11が、前述した動作と同様に、メモリ3から図8に示す画像IM_31の画像データS3bを読み出し、セクタ14が画像データS3bを選択して加算回路17に出力する。

【0048】そして、加算回路17において、乗算回路16からの画像データS16と、セクタ14からの画像データS3bとが加算され、上記式(3)内の「IM_12b×1/3+(1-1/3)×{画像IM_12a×1/2+(1-1/2)×画像IM_12}」の演算結果に相当する画像IM_32の画像データS17が生成され、これが書き込み回路18に出力される。そして、書き込み回路18が、制御信号S2gによって指定されたメモリ3内のアドレスに画像データS17を書き込む。

【0049】次に、画像処理装置1は、図10に示すように、図1に示す読み出し回路10が、メモリ3から文字「A」の画像IM_12を下方向に1画素ずらした画像IM_12cの画像データS3aを読み出し、セクタ12が画像データS3aを選択して減算回路15に出力する。このとき、読み出し回路10による画像IM_

12bの画像データS3aの読み出しは、CPU2からの制御信号S2aを基に、メモリ3に記憶されている文字「A」の画像の座標データ(u, v)を用いて行われる。すなわち、読み出し回路11は、テクスチャマッピング機能を利用して、画像IM_12を下方方向に1画素ずらした画像IM_12bをメモリ3から読み出す。

【0050】それと並行して、図1に示す読み出し回路11が、メモリ3から、図9を用いて説明した画像IM_32の画像データS3bを読み出し、セクタ13が画像データS3bを選択して減算回路15に出力する。

【0051】そして、減算回路15において、画像データS3aからS3bが減算され、すなわち画像IM_12cから画像IM_32が差し引かれ、その結果である画像データS15が乗算回路16に出力される。そして、乗算回路16において、画像データS15に、制御信号S2gで指定された係数 α ($=1/4$)が乗算され、その結果である画像データS16が加算回路17に出力される。また、乗算回路16の処理と並行して、図1に示す読み出し回路11が、前述した動作と同様に、メモリ3から図8に示す画像IM_32の画像データS3bを読み出し、セクタ14が画像データS3bを選択して加算回路17に出力する。

【0052】そして、加算回路17において、乗算回路16からの画像データS16と、セクタ14からの画像データS3bとが加算され、上記式(3)の演算結果に相当する画像IM_33の画像データS17が生成され、これ書き込み回路18に出力される。そして、書き込み回路18が、制御信号S2gによって指定されたメモリ3内のアドレスに画像データS17を書き込む。

【0053】以上説明したように、画像処理装置1によれば、CPU2がプログラムの実行に応じて生成した制御信号S2a~S2gに基づいて、読み出し回路10、*

$$\begin{aligned} & 4/16 \times IM_A + (1 - 4/16) \times (2/12 \times IM_B + (1 - 2/12) \times (2/10 \times IM_C + (1 - 2/10) \times (2/8 \times IM_D + (1 \\ & - 2/8) \times (2/6 \times IM_E + (1 - 2/6) \times (1/4 \times IM_F + (1 \\ & - 1/4) \times (1/3 \times IM_G + (1 - 1/3) \times (1/2 \times IM_H + (1 \\ & - 1/2) \times IM_I)))))) \dots (4) \end{aligned}$$

【0057】また、上述した実施形態では、画像処理装置1を用いて、 α ブレンディング処理、エッジ強調処理およびぼかし処理を行う場合を例示したが、画像処理装置1は、図1に示す構成を用いて、その他の画像処理を行ってもよい。

【0058】

【発明の効果】以上説明したように、本発明によれば、エッジ強調やぼかしなどの画像効果処理を柔軟に変更できる画像処理装置を提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明の実施形態の画像処理装置の構成図である。

【図2】図2は、図1に示す画像処理装置を用いて α ブ

*11、書き込み回路18、セクタ12~14および乗算回路16を制御することで、上述したような、 α ブレンディング、画像のエッジ強調およびぼかしなどの多様な処理を柔軟に行うことができる。すなわち、画像処理装置1によれば、プログラムの設定を変更するだけで、ハードウェア構成を変更することなく、CPU2が生成する制御信号S2a~S2gを変更することができ、処理内容を簡単に変更できる。

【0054】本発明は上述した実施形態には限定されない。例えば、上述した実施形態では、図7に示すように、隣接する4つの画素P、P_a、P_b、P_cの画素値を平均化してぼかした画像を生成するフィルタ処理を行う場合を例示したが、画像処理装置1は、図11に示すように、隣接または近接する9つの画素P_A、P_B、P_C、P_D、P_E、P_F、P_G、P_H、P_Iで重み付けを行う場合に、下記式(4)に基づいて演算を行ってぼかし画像を生成してもよい。

【0055】下記式(4)において、画像IM_Aは元の画像、IM_Bは画像IM_Aを1画素だけ右に移動した画像、IM_Cは画像IM_Aを2画素だけ右に移動した画像、IM_Dは画像IM_Aを1画素だけ下に移動した画像、IM_Eは画像IM_Aを1画素だけ右および下にそれぞれ移動した画像、IM_Fは画像IM_Aを2画素だけ右に移動しかつ1画素だけ下に移動した画像、IM_Gは画像IM_Aを2画素だけ下に移動した画像、IM_Hは画像IM_Aを1画素だけ右に移動しかつ2画素だけ下に移動した画像、IM_Iは画像IM_Aを2画素だけ右および下にそれぞれ移動した画像の画像データである。

【0056】

【数4】

レンディング処理を行う場合を説明するための図である。

【図3】図3は、図1に示す画像処理装置を用いて α ブレンディング処理を行う場合を説明するための図である。

【図4】図4は、図1に示す画像処理装置を用いて画像のエッジ強調処理を行う場合を説明するための図である。

【図5】図5は、図4に示すエッジ強調処理の効果を説明するための図である。

【図6】図6は、図4に示すエッジ強調処理の効果を説明するための図である。

【図7】図7は、図1に示す画像処理装置を用いて、4

画素の画素値の平均によるぼかし処理を行う場合を説明するための図である。

【図8】図8は、図1に示す画像処理装置が、式(3)内の「画像IM_12 a×1/2+(1-1/2)×画像IM_12」に相当する演算を行う場合の動作例を説明するための図である。

【図9】図9は、図1に示す画像処理装置が、図8を用いて演算した「画像IM_12 a×1/2+(1-1/2)×画像IM_12」の演算結果を用いて、式(3)内の「IM_12 b×1/3+(1-1/3)×{画像IM_12 a×1/2+(1-1/2)×画像IM_12}」に相当する演算を行う場合の動作例を説明するための図である。

*

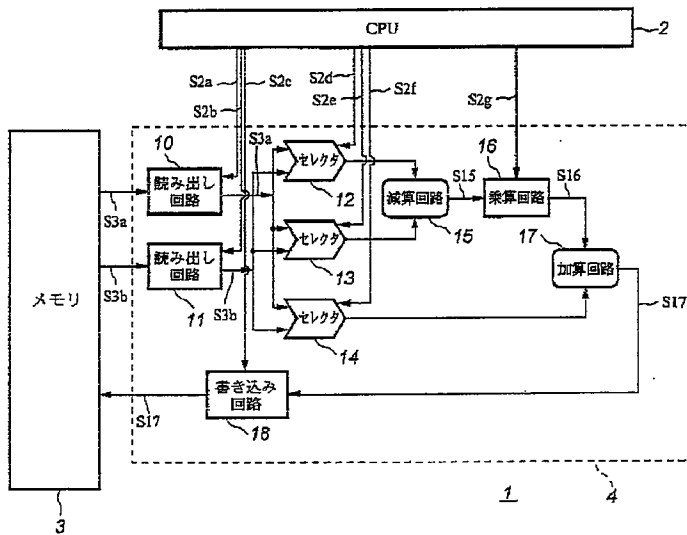
*【図10】図10は、図1に示す画像処理装置が、図9を用いて演算した「IM_12 b×1/3+(1-1/3)×{画像IM_12 a×1/2+(1-1/2)×画像IM_12}」の演算結果を用いて、式(3)に相当する演算を行う場合の動作例を説明するための図である。

【図11】図11は、図1に示す画像処理装置を用いて、9画素の画素値の平均によるぼかし処理を行う場合を説明するための図である。

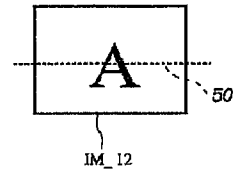
【符号の説明】

1…画像処理装置、2…CPU、3…メモリ、10…読み出し回路、11…読み出し回路、12～14…セクタ、15…減算回路、16…乗算回路、17…加算回路

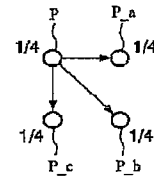
【図1】



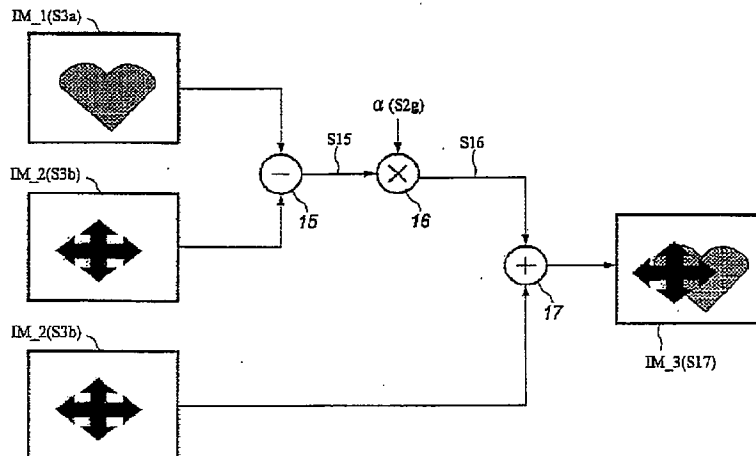
【図5】



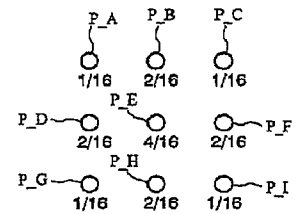
【図7】



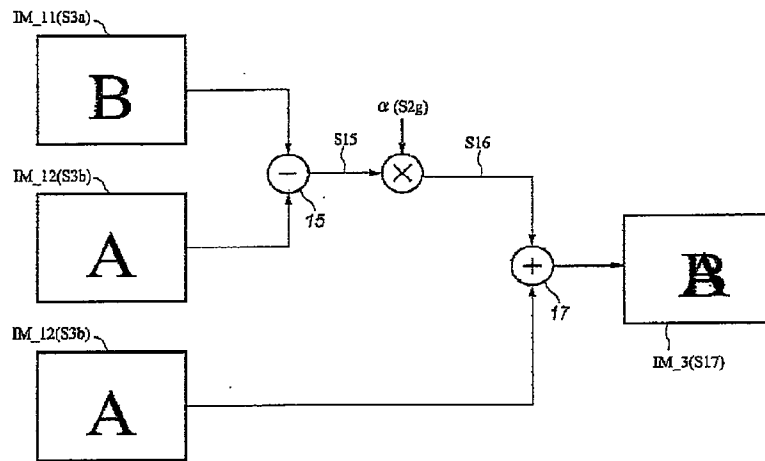
【図2】



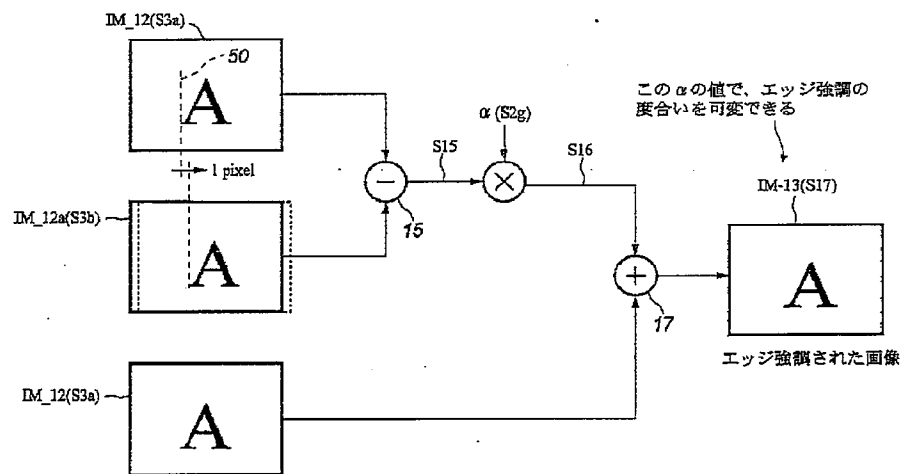
【図11】



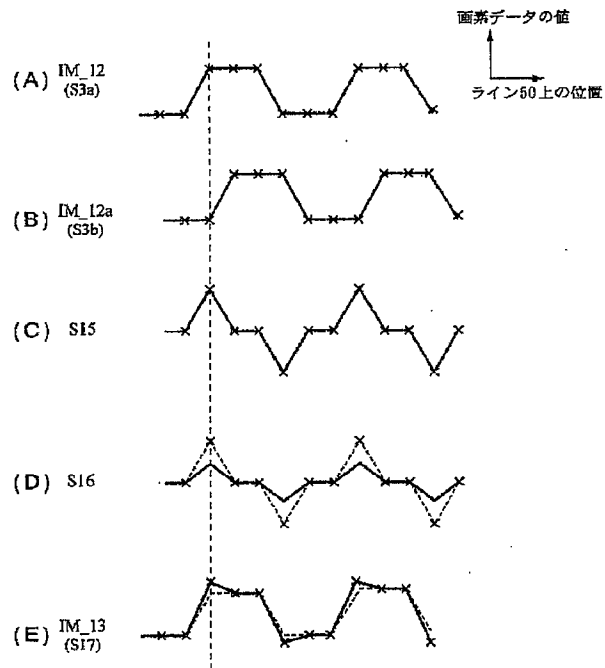
【図3】



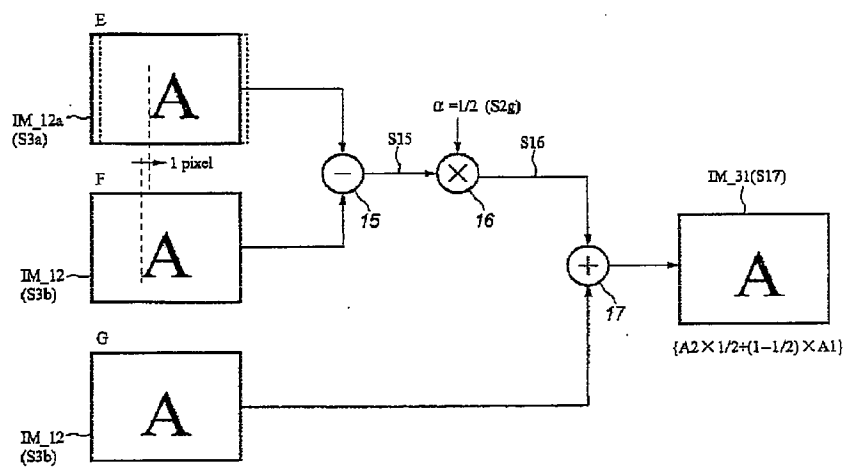
【図4】



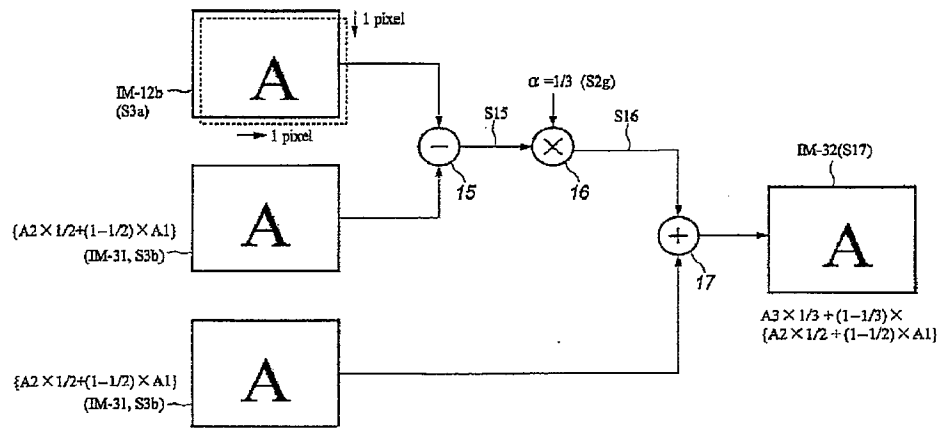
【図6】



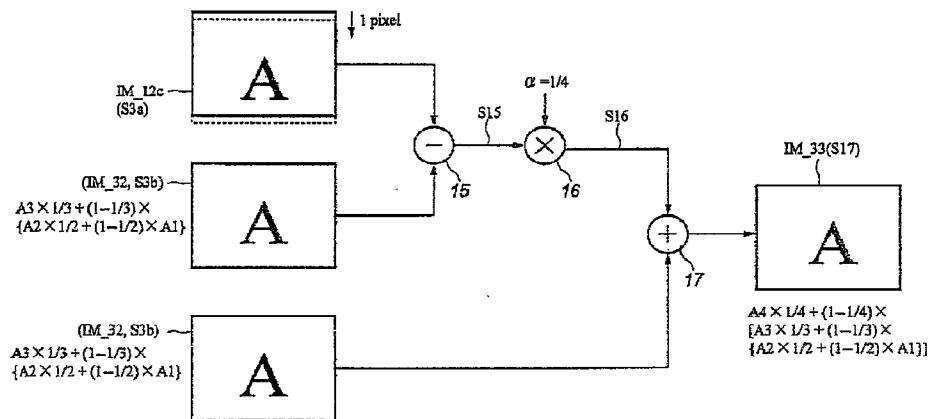
【図8】



【図9】



【図10】



フロントページの続き

F ターム(参考) 5B057 CA08 CA12 CB08 CB12 CB16
 CE03 CE04 CE06 CE08 CH09
 CH11 CH18
 5C077 LL02 LL09 PP47 PP48 PP68
 PQ08 PQ12 PQ18 PQ25

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成15年5月9日(2003.5.9)

【公開番号】特開2003-16441(P2003-16441A)
 【公開日】平成15年1月17日(2003.1.17)
 【年通号数】公開特許公報15-165
 【出願番号】特願2001-203336(P2001-203336)
 【国際特許分類第7版】

G06T 5/20
 H04N 1/409

【F I】

G06T 5/20 A
 H04N 1/40 101 D

【手続補正書】

【提出日】平成15年1月21日(2003.1.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】本発明の画像処理装置の作用は以下のようになる。制御回路が、プログラムを実行し、当該プログラムの実行に応じて以下の処理が制御される。まず、読み出し回路が、第1の画像データおよび第2の画像データを記憶回路から読み出す。そして、第1の演算回路において、前記読み出した第1の画像データと第2の画像データとの差分を示す第4の画像データが生成される。そして、第2の演算回路において、前記第4の画像データに所定の係数を乗算して第5の画像データが生成される。また、当該第2の演算回路の処理と並行して、前記読み出し回路が、第3の画像データを前記記憶回路から読み出す。そして、第3の演算回路において、前記第3の画像データと前記第5の画像データとを加算して第6の画像データが生成される。そして、書き込み回路によって、前記第5の画像データが前記記憶回路に書き込まれる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】〔CPU2〕

CPU2は、画像処理回路4の読み出し回路10、読み出し回路11、書き込み回路18、セクタ12、セクタ13、セクタ14および乗算回路16に出力する後述する制御信号S2a、S2b、S2c、S2d、S2e、S2f、S2gを生成する。CPU2は、所定の

プログラムを実行し、当該プログラムの実行に応じて、上述した制御信号を生成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】〔画像処理回路4〕

画像処理回路4は、図1に示すように、例えば、読み出し回路10、11、セクタ12、13、14、減算回路15、乗算回路16、加算回路17および書き込み回路18を有する。ここで、読み出し回路10、11が本発明の読み出しに対応し、セクタ12、13、14が本発明の選択回路に対応し、減算回路15が本発明の第1の演算回路に対応し、乗算回路16が本発明の第2の演算回路に対応し、加算回路17が本発明の第3の演算回路に対応している。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】加算回路17は、乗算回路16から入力した画像データS16と、セクタ14から入力した画像データとを加算して画像データS17(本発明の第6の画像データ)を生成し、これを書き込み回路18に出力する。加算回路17による加算は、例えば、画像データを構成する画素データのそれぞれについて、当該画素データが示すR、G、Bの値を用いて行われる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】以下、図4を用いて説明した画像処理装置1によれるエッジ強調の作用および効果を説明する。図5に示すように、図4に示す画像IM₁₂のライン50上の画素データの画素値(R, G, Bの値)を見ると、その画素値のレベルは、例えば、図6(A)に示すようになる。また、画像IM₁₂を右方向に1画素ずらした画像IM_{12a}のライン50上での画素データの画素値は、図6(B)に示すようになる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】画像処理装置1は、上記式(3)に相当する演算を、図8～図10に示すように行う。図8は、画像処理装置1が、上記式(3)内の「画像IM_{12a}×1/2+(1-1/2)×画像IM₁₂」に相当する演算を行う場合の動作例を説明するための図である。図9は、画像処理装置1が、図8に示す「画像IM_{12a}×1/2+(1-1/2)×画像IM₁₂」の演算結果を用いて、上記式(3)内の画像「IM_{12b}×1/3+(1-1/3)×{画像IM_{12a}×1/2+(1-1/2)×画像IM₁₂」に相当する演算を行う場合の動作例を説明するための図である。図10は、画像処理装置1が、図9に示す「IM_{12b}×1/3+(1-1/3)×{画像IM_{12a}×1/2+(1-1/2)×画像IM₁₂」の演算結果を用いて、上記式(3)に相当する演算を行う場合の動作例を説明するための図である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】以下、図8～図9に示す演算を行う場合の画像処理装置1の動作例を順に説明する。まず、画像処理装置1では、図8に示すように、図1に示す読み出し回路10が、メモリ3から文字「A」の画像IM₁₂を右方向に1画素ずらした画像IM_{12a}の画像データS3aを読み出し、セクタ12が画像データS3aを選択して減算回路15に出力する。このとき、読み出し回路10による画像IM_{12a}の画像データS3a

の読み出しは、CPU2からの制御信号S2aを基に、メモリ3に記憶されている文字「A」の画像(例えばテキストチャ画像)の座標データ(u, v)を用いて行われる。すなわち、読み出し回路11は、テキストチャマッピング機能を利用して、画像IM₁₂を右方向に1画素ずらした画像IM_{12a}をメモリ3から読み出す。それと並行して、図1に示す読み出し回路11が、メモリ3から文字「A」の画像IM₁₂の画像データS3bを読み出し、セクタ13が画像データS3bを選択して減算回路15に出力する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】次に、画像処理装置1は、図10に示すように、図1に示す読み出し回路10が、メモリ3から文字「A」の画像IM₁₂を下方向に1画素ずらした画像IM_{12c}の画像データS3aを読み出し、セクタ12が画像データS3aを選択して減算回路15に出力する。この場合、読み出し回路10による画像IM_{12c}の画像データS3aの読み出しは、CPU2からの制御信号S2aを基に、メモリ3に記憶されている文字「A」の画像の座標データ(u, v)を用いて行われる。すなわち、読み出し回路11は、テキストチャマッピング機能を利用して、画像IM₁₂を下方向に1画素ずらした画像IM_{12c}をメモリ3から読み出す。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】本発明は上述した実施形態には限定されない。例えば、上述した実施形態では、図7に示すように、隣接する4つの画素P, P_a, P_b, P_cの画素値を平均化してぼかした画像を生成するフィルタ処理を行う場合を例示したが、画像処理装置1は、図11に示すように、隣接または近接する9つの画素P_A, P_B, P_C, P_D, P_E, P_F, P_G, P_H, P_Iに重み付けを行う場合に、下記式(4)に基づいて演算を行ってぼかし画像を生成してもよい。